

## BEST AVAILABLE COPY

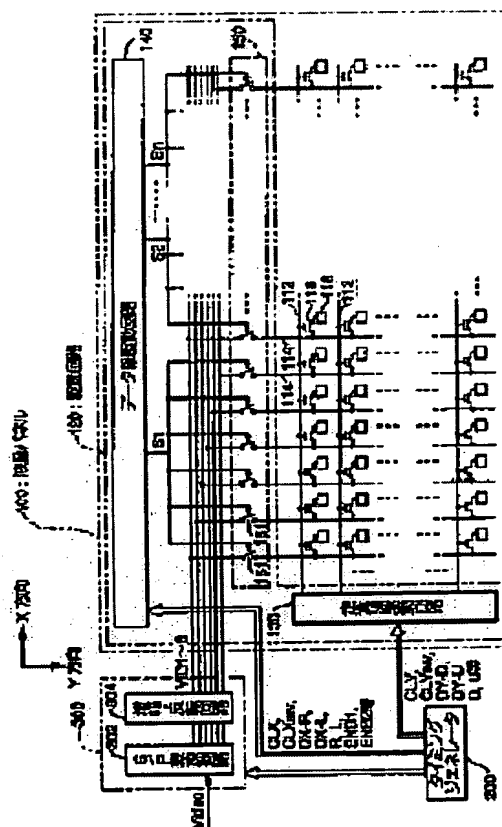
DRIVING CIRCUIT OF ELECTROOPTICAL DEVICE, ELECTROOPTICAL DEVICE,  
AND ELECTRONIC EQUIPMENT

**Patent number:** JP2000242237  
**Publication date:** 2000-09-08  
**Inventor:** MURAIDE MASAO  
**Applicant:** SEIKO EPSON CORP  
**Classification:**  
- **International:** G09G3/36; G02F1/133; G09G3/20  
- **European:**  
**Application number:** JP19990044982 19990223  
**Priority number(s):** JP19990044982 19990223

Report a data error here

## Abstract of JP2000242237

**PROBLEM TO BE SOLVED:** To prevent the generation of a ghost and a cross talk by preventing the overlap of sampling signals.  
**SOLUTION:** In the case of an R direction transfer, for example, plural latch circuits successively shift transfer start pulses DX-R in accordance with a clock signal CLX and an inverted clock signal CLXINV and output the pulses DX-R. Each NAND circuit respectively provided for each of these unit circuits obtains a NANDing of the output signals of corresponding latch circuits, enable signals ENB1 or ENB2, which controls the active intervals of the output signals, and a NANDing signal of the signals ENB1 and ENB2. Thus, if the signals ENB1 and ENB2 overlap with each other, the output signals of the NAND circuits are formed to become an H level, the overlap of sampling signals S1 to Sn, which reverse the output of the NAND circuits, is prevented.



Data supplied from the esp@cenet database - Worldwide

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-242237  
(P2000-242237A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 M 5 C 0 8 0

審査請求 未請求 請求項の数14 O L (全 17 頁)

(21) 出願番号 特願平11-44982

(22) 出願日 平成11年2月23日 (1999.2.23)

(71) 出願人 000002369

セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

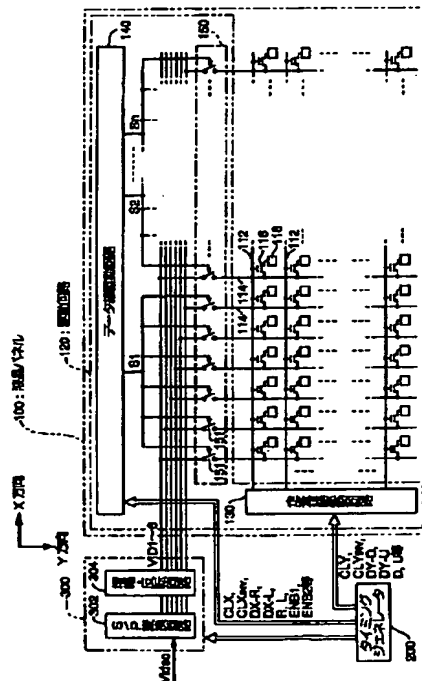
最終頁に続く

(54) 【発明の名称】 電気光学装置の駆動回路、電気光学装置および電子機器

(57) 【要約】

【課題】 サンプリング信号のオーバーラップを防止してゴーストやクロストークの発生を抑える。

【解決手段】 例えば、R方向転送の場合、複数のラッチ回路1430は、クロック信号CLXおよび反転クロック信号CLXINVに応じて転送開始パルスDX-Rを順次シフトして出力し、これら単位回路1430のそれぞれに対応して設けられる各NAND回路1464は、対応するラッチ回路1430の出力信号と、その出力信号のアクティブ期間を制限するイネーブル信号ENB1またはENB2と、イネーブル信号ENB1、ENB2の否定論理積信号との否定論理積を求める。これにより、イネーブル信号ENB1、ENB2がオーバーラップすると、NAND回路1464の出力信号は強制的にHレベルとされるので、各NAND回路1464の出力を反転したサンプリング信号S1～Snのオーバーラップが防止されることとなる。



【特許請求の範囲】

【請求項1】 基板に複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線とに接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する電気光学装置の駆動回路であって、

クロック信号に応じて入力信号を順次シフトして出力する複数の単位回路と、  
前記複数の単位回路のそれぞれに対応して設けられ、各々は、対応する単位回路から出力される信号のアクティブ期間を、制限信号にしたがって制限し、サンプリング信号として出力する一方、

自段に対応してパルス幅を制限した信号のアクティブ期間と、後段に対応してパルス幅が制限された信号のアクティブ期間とがオーバーラップする第1の場合には、前記制限信号にかかわらず、自段に対応する単位回路の出力信号を非アクティブにしてサンプリング信号として出力するパルス幅制限回路と、

前記データ線にそれぞれ対応して設けられ、各々は、前記パルス幅制限回路によるサンプリング信号にしたがって画像信号をサンプリングして、対応するデータ線に供給するスイッチとを具備することを特徴とする電気光学装置の駆動回路。

【請求項2】 前記制限信号は複数系列で供給され、そのうち、一の系列の制限信号が、複数の単位回路のいずれかに対応するものであり、

自段に対応して供給される制限信号と、後段に対応して供給される制限信号とのオーバーラップを検出する検出回路を備え、

前記パルス幅制限回路は、前記検出回路によってオーバーラップが検出された場合を、前記第1の場合とすることを特徴とする請求項1記載の電気光学装置の駆動回路。

【請求項3】 前記検出回路は、自段に対応して供給される制限信号と、後段に対応して供給される制限信号との論理積またはその否定を出力する第1のゲート回路を含み、

前記パルス幅制限回路は、自段の単位回路から出力される信号と、自段に対応して供給される制限信号と、前記第1のゲート回路による出力信号との論理積またはその否定を出力する第2のゲート回路を含むことを特徴とする請求項2記載の電気光学装置の駆動回路。

【請求項4】 前記制限信号は複数系列で供給され、そのうち、一の系列の制限信号は、複数の単位回路のいずれかに対応するものであり、

自段に対応するサンプリング信号と、後段に対応して供給される制限信号とのオーバーラップを検出する検出回路を備え、

前記パルス幅制限回路は、前記検出回路によってオーバーラップが検出された場合を、前記第1の場合とすることを特徴とする請求項1記載の電気光学装置の駆動回路。

路。

【請求項5】 前記検出回路は、自段に対応するサンプリング信号と、後段に対応して供給される制限信号との論理積またはその否定を出力する第1のゲート回路を含み、

前記パルス幅制限回路は、自段の単位回路から出力される信号と、自段に対応して供給される制限信号と、前記第1のゲート回路による出力信号との論理積またはその否定を出力する第2のゲート回路を含むことを特徴とする請求項4記載の電気光学装置の駆動回路。

【請求項6】 前記パルス幅制限回路は、  
自段に対応してパルス幅を制限した信号のアクティブ期間と、後段に対応するサンプリング信号のアクティブ期間とのオーバーラップを検出する検出回路を備え、  
前記パルス幅制限回路は、前記検出回路によってオーバーラップが検出された場合を、前記第1の場合とすることを特徴とする請求項1記載の電気光学装置の駆動回路。

【請求項7】 前記検出回路は、  
自段に対応してパルス幅を制限した信号のアクティブ期間と、後段に対応するサンプリング信号との論理積またはその否定を出力するゲート回路を含むことを特徴とする請求項6記載の電気光学装置の駆動回路。

【請求項8】 前記パルス幅制限回路は、さらに、  
自段に対応してパルス幅を制限した信号のアクティブ期間と、前段に対応してパルス幅が制限された信号のアクティブ期間とがオーバーラップする第2の場合でも、前記制限信号にかかわらず、自段に対応する単位回路の出力信号を非アクティブとすることを特徴とする請求項1記載の電気光学装置の駆動回路。

【請求項9】 複数の単位回路は、入力信号を、双方向にシフト可能であることを特徴とする請求項1記載の電気光学装置の駆動回路。

【請求項10】 前記画像信号は、時間軸に伸長されてm (mは2以上の整数とする) 本の系統に変換されたものであり、

前記データ線は、m本毎にブロック化され、  
ブロック化されたm本のデータ線に対応するスイッチが、1つのサンプリング信号によって同時に駆動されることを特徴とする請求項1記載の電気光学装置の駆動回路。

【請求項11】 前記スイッチは相補型であり、前記パルス幅制限回路は、相補型のスイッチに対して、それぞれ正転および反転のサンプリング信号を供給することを特徴とする請求項1または10記載の電気光学装置の駆動回路。

【請求項12】 請求項1乃至11のいずれか記載の電気光学装置の駆動回路によって駆動されることを特徴とする電気光学装置。

【請求項13】 前記一対の基板のうち、一方の基板に

は、マトリクス状に配置された画素電極と、前記画素電極および前記データ線の間に介挿されるとともに、前記走査線に供給される走査信号にしたがって開閉するトランジスタとをさらに備えることを特徴とする請求項12記載の電気光学装置。

【請求項14】 請求項12または13記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、いわゆるゴーストやクロストークなどの発生を抑えて高品位な表示が可能な電気光学装置、および、その駆動回路、並びに、この電気光学装置を表示部に用いた電子機器に関する。

【0002】

【従来の技術】従来の電気光学装置、例えば、液晶装置の駆動回路は、画像表示領域に配線されたデータ線や走査線などに、画像信号や走査信号などを所定タイミングで供給するためのデータ線駆動回路や、走査線駆動回路、サンプリング回路などから構成されている。

【0003】このうち、データ線駆動回路は、一般には、複数のラッチ回路（シフトレジスタ回路）を備え、水平走査期間の最初に供給される転送信号をクロック信号に応じて順次シフトして、これをサンプリング信号として出力するものであり、同様に、走査線駆動回路は、複数のラッチ回路を備え、垂直走査期間の最初に供給される転送信号をクロック信号に応じて順次シフトして、これを走査信号として出力するものである。また、サンプリング回路は、各データ線毎に設けられるサンプリング用のスイッチを備え、外部から供給される画像信号を、データ線駆動回路によるサンプリング信号にしたがいサンプリングして、各データ線に供給するものである。

【0004】

【発明が解決しようとする課題】しかしながら、互いに排他的となるべきサンプリング信号が、何らかの理由によりオーバーラップして出力されると、あるデータ線に本来サンプリングされるべき画像信号は、これに隣接するデータ線にもサンプリングされてしまう。この結果、いわゆるゴーストやクロストークなどが発生して、表示品位が低下する、という問題が生じる。

【0005】特に、最近では、ドットクロックの高周波数化に対処すべく、1系統の画像信号を複数のm系統にシリアル-パラレル変換（相展開）するとともに、これらm系統の画像信号をサンプリング信号にしたがって同時にサンプリングして、m本のデータ線に供給する技術が開発されているが、このような技術において、サンプリング信号がオーバーラップして出力されると、m本単位にゴーストやクロストークなどが発生するので、表示品位の低下は、より深刻な問題となる。

【0006】本発明は、上述した事情に鑑みてなされたもので、その目的とするところは、データ線駆動回路から出力されるサンプリング信号のオーバーラップを防止して、ゴーストやクロストークなどに起因する表示品位の低下を抑えた電気光学装置の駆動回路、および、電気光学装置、並びに、この電気光学装置を表示部に用いた電子機器を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため本発明に係る電気光学装置の駆動回路にあっては、基板に複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線に接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する電気光学装置の駆動回路であって、クロック信号に応じて入力信号を順次シフトして出力する複数の単位回路と、前記複数の単位回路のそれぞれに対応して設けられ、各々は、対応する単位回路から出力される信号のアクティブ期間を、制限信号にしたがって制限し、サンプリング信号として出力する一方、自段に対応してパルス幅を制限した信号のアクティブ期間と、後段に対応してパルス幅が制限された信号のアクティブ期間とがオーバーラップする第1の場合には、前記制限信号にかかわらず、自段に対応する単位回路の出力信号を非アクティブにしてサンプリング信号として出力するパルス幅制限回路と、前記データ線にそれぞれ対応して設けられ、各々は、前記パルス幅制限回路によるサンプリング信号にしたがって画像信号をサンプリングして、対応するデータ線に供給するスイッチとを具備することを特徴としている。

【0008】本発明によれば、原則的には、各単位回路から出力される信号のアクティブ期間が、制限信号にしたがって制限され、これがサンプリング信号として出力される。ただし、例外的に、自段に対応してパルス幅を制限した信号のアクティブ期間と、後段に対応してパルス幅が制限された信号のアクティブ期間とがオーバーラップする第1の場合には、パルス幅を制限する制限信号にかかわらず、自段に対応する単位回路の出力信号が非アクティブにされて、これがサンプリング信号として出力される。このため、原則的にも、例外的にも、各サンプリング信号におけるアクティブ期間のオーバーラップが未然に防止される。したがって、このようなサンプリング信号にしたがって画像信号をサンプリングすれば、同一画像信号が異なるデータ線にサンプリングされてしまう事態が回避されるので、いわゆるゴーストやクロストークなどの発生が抑えられることとなる。

【0009】ここで、本発明において、前記制限信号は複数系列で供給され、そのうち、一の系列の制限信号が、複数の単位回路のいずれかに対応するものであり、自段に対応して供給される制限信号と、後段に対応して供給される制限信号とのオーバーラップを検出する検出回路を備え、前記パルス幅制限回路は、前記検出回路に

よってオーバーラップが検出された場合を、前記第1の場合とすることが望ましい。この構成によれば、自段に対応して供給される制限信号と、後段に対応して供給される制限信号とのオーバーラップが検出されると、自段に対応する単位回路の出力信号が非アクティブ状態にされて、これが自段に対応するサンプリング信号として出力されるので、各サンプリング信号におけるアクティブ期間のオーバーラップが防止されることとなる。

【0010】このような具体的構成とすべく、本発明では、前記検出回路は、自段に対応して供給される制限信号と、後段に対応して供給される制限信号との論理積またはその否定を出力する第1のゲート回路を含み、前記パルス幅制限回路は、自段の単位回路から出力される信号と、自段に対応して供給される制限信号と、前記第1のゲート回路による出力信号との論理積またはその否定を出力する第2のゲート回路を含むことが望ましいと考える。こうすれば、構成が比較的簡易となるので、第1、第2ゲート回路の構成素子を、画像信号をサンプリングするスイッチや、画素を駆動する素子と共通プロセスで形成することが容易となる。

【0011】また、本発明において、前記制限信号は複数系列で供給され、そのうち、一の系列の制限信号は、複数の単位回路のいずれかに対応するものであり、自段に対応するサンプリング信号と、後段に対応して供給される制限信号とのオーバーラップを検出する検出回路を備え、前記パルス幅制限回路は、前記検出回路によってオーバーラップが検出された場合を、前記第1の場合とすることが望ましい。この構成によれば、自段に対応するサンプリング信号と、後段に対応して供給される制限信号とのオーバーラップが検出されると、自段に対応する単位回路の出力信号が非アクティブ状態にされて、これが自段に対応するサンプリング信号として出力されるので、各サンプリング信号におけるアクティブ期間のオーバーラップが防止されることとなる。

【0012】このような具体的構成とすべく、本発明では、前記検出回路は、自段に対応するサンプリング信号と、後段に対応して供給される制限信号との論理積またはその否定を出力する第1のゲート回路を含み、前記パルス幅制限回路は、自段の単位回路から出力される信号と、自段に対応して供給される制限信号と、前記第1のゲート回路による出力信号との論理積またはその否定を出力する第2のゲート回路を含むことが望ましいと考える。こうすれば、構成が比較的簡易となるので、第1、第2ゲート回路の構成素子を、画像信号をサンプリングするスイッチや、画素を駆動する素子と共通プロセスで形成することが容易となる。

【0013】一方、本発明において、前記パルス幅制限回路は、自段に対応してパルス幅を制限した信号のアクティブ期間と、後段に対応するサンプリング信号のアクティブ期間とのオーバーラップを検出する検出回路を備

え、前記パルス幅制限回路は、前記検出回路によってオーバーラップが検出された場合を、前記第1の場合とすることが望ましい。この構成によれば、自段に対応してパルス幅を制限した信号のアクティブ期間と、後段に対応するサンプリング信号のアクティブ期間とのオーバーラップが検出されると、自段に対応する単位回路の出力信号が非アクティブ状態にされて、これが自段に対応するサンプリング信号として出力されるので、制限信号を監視することなく、各サンプリング信号におけるアクティブ期間のオーバーラップが防止されることとなる。

【0014】このような具体的構成とすべく、本発明では、前記検出回路は、自段に対応してパルス幅を制限した信号のアクティブ期間と、後段に対応するサンプリング信号との論理和またはその否定を出力するゲート回路を含むことが望ましいと考える。こうすれば、構成が比較的簡易となるので、第1、第2ゲート回路の構成素子を、画素信号をサンプリングするスイッチや、画素を駆動する素子と共通プロセスで形成することが容易となる。

【0015】ところで、本発明において、前記パルス幅制限回路は、さらに、自段に対応してパルス幅を制限した信号のアクティブ期間と、前段に対応してパルス幅が制限された信号のアクティブ期間とがオーバーラップする第2の場合でも、前記制限信号にかかわらず、自段に対応する単位回路の出力信号を非アクティブとすることが望ましい。このような構成によっても、第1の場合と同様に、各サンプリング信号におけるアクティブ期間のオーバーラップを防止できるからである。

【0016】また、本発明において、複数の単位回路は、入力信号を、双方向にシフト可能であることも望ましい。これにより、電気光学装置の用途に応じてシフト方向を変更して、正転像および反転像の表示が可能となる。

【0017】さらに、本発明において、前記画像信号は、時間軸に伸長されて $m$  ( $m$ は2以上の整数とする)本の系統に変換されたものであり、前記データ線は、 $m$ 本毎にブロック化され、ブロック化された $m$ 本のデータ線に対応するスイッチが、1つのサンプリング信号によって同時に駆動されることが望ましい。これによれば、画像信号をサンプリングするスイッチ等の性能を高めることなく、ドットクロックの高周波数化に対処できるとともに、表示の高コントラスト化を図ることが可能となる。

【0018】加えて、本発明において、前記スイッチは相補型であり、前記パルス幅制限回路は、相補型のスイッチに対して、それぞれ正転および反転のサンプリング信号を供給することが望ましい。これによれば、サンプリング用のスイッチにおける入力インピーダンスが高められるので、1つのサンプリング信号によって同時に $m$ 個のサンプリング用スイッチが駆動される場合であって

も、パルス幅制限回路に高い駆動能力を持たせないで済む。

【0019】また、上記目的を達成するために、本発明に係る電気光学装置にあっては、上記電気光学装置の駆動回路によって駆動されることを特徴としている。これによれば、ゴーストやクロストークのない高品位な表示が可能となる。

【0020】ここで、本発明において、前記一対の基板のうち、一方の基板には、マトリクス状に配置された画素電極と、前記画素電極および前記データ線の間に介挿されるとともに、前記走査線に供給される走査信号にしたがって開閉するトランジスタとをさらに備えることが望ましい。これによれば、トランジスタによりオン画素とオフ画素とを電氣的に分離できるので、コントラストやレスポンスなどが良好であり、かつ、高精細な表示が可能となる。

【0021】さらに、上記目的を達成するために、本発明に係る電気機器にあっては、上記電気光学装置を備えることを特徴としているので、ゴーストやクロストークのない高品位な表示が可能となる。

【0022】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0023】＜第1実施形態＞まず、本発明の第1実施形態に係る電気光学装置について、電気光学材料として液晶を用いた液晶装置を例にとって説明する。

【0024】＜液晶装置の全体構成＞図1は、この液晶装置の電氣的な構成を示すブロック図である。この図に示されるように、液晶装置は、液晶パネル100と、タイミングジェネレータ200と、画像信号処理回路300とを備える。このうち、タイミングジェネレータ200は、各部で使用されるタイミング信号や制御信号など（必要に応じて後述する）を出力するものである。また、画像信号処理回路300内部におけるS/P変換回路302は、1系統の画像信号Videoを入力すると、これを6系統の画像信号にシリアル-パラレル変換して出力するものである。ここで、画像信号を6系統にシリアル-パラレル変換する理由は、サンプリング回路150において、サンプリング用のスイッチ151を構成する薄膜トランジスタ（Thin Film Transistor:以下TFTと称する。）のソース領域への画像信号の印加時間を長くして、サンプリング時間および充放電時間を十分に確保するためである。

【0025】一方、増幅・反転回路304は、シリアル-パラレル変換された画像信号のうち、反転が必要となるものを反転させ、その後、適宜、増幅して画像信号VID1～VID6として液晶パネル100に対し並列的に供給するものである。なお、反転するか否かについては、一般には、データ信号の印加方式が①走査線112単位の極性反転であるか、②データ線114単位の極性

反転であるか、③画素単位の極性反転であるかに応じて定められ、その反転周期は、1水平走査期間またはドットクロック周期に設定される。ただし、本実施形態にあっては説明の便宜上、①走査線112単位の極性反転である場合を例にとって説明するが、本発明をこれに限定する趣旨ではない。ここで、本実施形態における極性反転とは、画像信号の振幅中心電位を基準として正極性と負極性に交互に電圧レベルを反転させることをいう。また、6系統の画像信号VID1～VID6を液晶パネル100への供給するタイミングは、図1に示される液晶装置では同時とするが、ドットクロックに同期して順次ずらしてもよく、この場合は後述するサンプリング回路にて6系統の画像信号を順次サンプリングする構成となる。

【0026】＜液晶パネルの構成＞次に、液晶パネル100の電氣的な構成について説明する。液晶パネル100は、後述するように、素子基板と対向基板とが互いに電極形成面を対向して貼付された構成となっている。このうち、素子基板にあっては、図においてX方向に沿って平行に複数本の走査線112が配列して形成され、また、これと直交するY方向に沿って平行に複数本のデータ線114が形成されている。そして、これらの走査線112とデータ線114との各交点においては、各画素を制御するためのスイッチたるTFT116のゲート電極が走査線112に接続される一方、TFT116のソース電極がデータ線114に接続されるとともに、TFT116のドレイン電極が画素電極118に接続されている。そして、各画素は、画素電極118と、対向基板に形成された共通電極（後述）と、これら両電極間に挟持された液晶とによって構成される結果、走査線112とデータ線114との各交点に対応して、マトリクス状に配列することとなる。なお、このほかに、蓄積容量（図示省略）が、各画素毎に、電氣的にみて、画素電極118と共通電極とに挟持された液晶に対して並列に形成される構成としても良い。

【0027】さて、駆動回路120は、少なくとも走査線駆動回路130、データ線駆動回路140およびサンプリング回路150からなり、後述するように、透明性および絶縁性を有するガラス等からなる素子基板の対向面にあって、表示領域の周辺部に形成されるものである。ここで、駆動回路120の構成素子は、画素を駆動するTFT116と共通の製造プロセスで形成されるPチャネル型TFTおよびNチャネル型TFTを組み合わせて構成されるため、製造効率の向上や、製造コストの低下、素子特性の均一化などが図られている。

【0028】＜データ線駆動回路の構成＞次に、本実施形態に係るデータ線駆動回路140について説明する。データ線駆動回路140は、水平走査期間の最初に供給される転送開始パルスDX-RまたはDX-Lを、クロック信号CLXおよびその反転クロック信号CLXINV

にしたがって順次シフトすることによって、サンプリング信号 $S_1 \sim S_n$ を所定の順番で出力するものである。

【0029】図2は、データ線駆動回路140の構成を示すブロック図である。この図において、クロック信号 $CLX$ 、その反転クロック信号 $CLXINV$ 、転送開始パルス $DX-R$  ( $DX-L$ ) およびイネーブル信号 (パルス幅制限信号)  $ENB_1$ 、 $ENB_2$ は、いずれも図1におけるタイミングジェネレータ200によって、画像信号 $VID_1 \sim VID_6$ と同期して供給されるものである。なお、実際には、これら信号には、タイミングジェネレータ200から供給される低論理振幅信号を、図示しないレベルシフタによって高論理振幅信号に変換された信号が用いられる。このように論理振幅を変換する理由は、液晶パネル100に各種信号を供給するタイミングジェネレータ200は、一般にCMOS回路で構成されるので、その出力電圧は3~5V程度であるのに対し、データ線駆動回路140の構成素子は、画素を駆動するTFT116と同一プロセスで形成されるTFTであるので、12V程度の比較的高い動作電圧が要求されるからである。

【0030】さて、データ線駆動回路140は、 $(n+1)$ 段に接続されたラッチ回路1430を備えており、1個のラッチ回路1430は、クロック信号 $CLX$ およびその反転クロック信号のレベル遷移 (立ち下がり、立ち上がり) 時において、その直前の入力レベルをラッチして出力するとともに、後段に位置するラッチ回路1430の入力信号として供給するものである。

【0031】ここで、各ラッチ回路1430は、図においてR方向およびL方向の双方向に転送可能であり、R方向転送の場合には、ラッチ回路1430の左側から転送開始パルス $DX-R$ が入力される一方、L方向の転送の場合には、ラッチ回路1430の右側から転送開始パルス $DX-L$ が入力される構成となっている。このため、後段とは、R方向転送の場合には右側を意味し、L方向転送の場合には左側を意味することになる。また、データ線駆動回路140を双方向に駆動するには、 $n$ を奇数で構成すれば、イネーブル信号 $ENB_1$ 、 $ENB_2$ を転送方向によって切り換える必要がなくなり、外部回路の負荷を低減できる。

【0032】ラッチ回路1430の具体的構成としては、例えば、図3(a)に示される構成が考えられる。この図において、転送制御信号 $R$ は、R方向転送の場合にアクティブとなって、クロックドインバータ1444の動作を許可する信号であり、転送制御信号 $L$ は、L方向転送の場合にアクティブとなって、クロックドインバータ1454の動作を許可する信号である。また、奇数段のクロックドインバータ1432は、クロック信号 $CLX$ の立ち上がり (反転クロック信号 $CLXINV$ の立ち下がり) において入力信号を取り込んで反転するとともに、次の立ち上がりまで保持するものであり、同段のク

ロックドインバータ1436は、反対に、反転クロック信号 $CLXINV$ の立ち上がり (クロック信号 $CLX$ の立ち下がり) において入力信号を取り込んで反転するとともに、次の立ち上がりまで保持するものである。なお、偶数段にあつては、入力されるクロック信号 $CLX$ および反転クロック信号 $CLXINV$ の関係が、奇数段のものとは入れ替わっているため、偶数段のクロックドインバータ1432、1436の取り込み・保持のタイミングについても、それぞれ奇数段のものと入れ替わったものとなる。

【0033】このような構成において、R方向転送の場合、転送制御信号 $R$ によってクロックドインバータ1444の動作が許可されるが、クロックドインバータ1454の動作は禁止されるので、クロックドインバータ1432の出力は、クロックドインバータ1444により反転されて、当該ラッチ回路1430の出力信号とされるときに、この反転信号がクロックドインバータ1436の入力に帰還されることになる。この際、奇数段のクロックドインバータ1432には、クロック信号 $CLX$ の立ち上がりで入力信号を取り込む一方、これに続く偶数段のクロックドインバータ1432は、反転クロック信号 $CLXINV$ の立ち上がりで入力信号を取り込むので、偶数段のクロックドインバータ1444から出力される信号 $S(i+1)'$ は、その前段のクロックドインバータ1444から出力される信号 $S_i'$ よりも、クロック信号 $CLX$  (反転クロック信号 $CLXINV$ ) の半周期だけ遅延したものとなる。したがって、第1段~第 $n$ 段のラッチ回路1430からそれぞれ出力される信号 $S_1' \sim S_n'$ は、1番最初に入力される転送開始パルス $DX-R$ を、クロック信号 $CLX$ の半周期ずつ順次シフトしたものとなる。

【0034】一方、L方向転送の場合、転送制御信号 $L$ によってクロックドインバータ1454の動作が許可されるが、クロックドインバータ1444の動作は禁止されるので、クロックドインバータ1436の出力は、クロックドインバータ1454により反転されて、当該ラッチ回路1430の出力信号とされるときに、この反転信号がクロックドインバータ1432の入力に帰還されることになる。したがって、L方向転送におけるラッチ回路1430の等価回路は、R方向転送のものを左右反転させたものとなるから、結局、第 $(n+1)$ 段~第2段のラッチ回路1430からそれぞれ出力される信号 $S_n' \sim S_1'$ は、1番最初に入力される転送開始パルス $DX-L$ を、クロック信号 $CLX$ の半周期ずつ順次シフトしたものとなる。

【0035】なお、 $i$ は、第1段~第 $(n+1)$ 段のラッチ回路1430を一般化して説明するためのものである。また、双方向に転送を行う必要がないのであれば、例えば、L方向転送のみを行うのであれば、ラッチ回路1430を、図3(b)に示されるように、インバータ



1434により転送方向を固定化した構成としても良い。さらに、ラッチ回路1430は、単位回路としての一例であり、このほかに、フリップフロップや、容量回路などを用いても良いし、これらを適宜組み合わせ用いても良い。

【0036】さて、説明を再び図2に戻すと、信号 $S_i'$  (R方向転送の場合に第*i*段のラッチ回路1430から出力される信号、または、L方向転送の場合に第(*i*+1)段のラッチ回路1430から出力される信号)は、3入力型NAND回路1464の第1入力端に供給されている。また、NAND回路1464の第2入力端には、*i*が奇数であればイネーブル信号ENB1が供給される一方、*i*が偶数であればイネーブル信号ENB2が供給されている。さらに、NAND回路1464の第3入力端には、NAND回路1462の出力信号、詳細には、イネーブル信号ENB1およびENB2の否定論理積信号が供給されている。ここで、イネーブル信号ENB1、ENB2は、信号 $S_1' \sim S_n'$ の隣接同士において同時にHレベルとなるのを避けるために用いられる信号であって、それぞれクロック信号CLX (反転クロック信号CLXINV)の半周期よりも短いパルス幅を有し、本来的には、互いにオーバーラップしないような信号である。

【0037】各段に対応するNAND回路1464の出力信号は、それぞれインバータ1466によって反転されて、これが、データ線駆動回路140のサンプリング信号 $S_1 \sim S_n$ として出力される構成となっている。尚、インバータ1466は、1段、3段、5段、というように複数段設けるようにしても良い。

【0038】<サンプリング回路>説明を再び図1に戻して、次に、サンプリング回路150について説明する。サンプリング回路150は、6本のデータ線114を1群(ブロック)とし、これらの群に属するデータ線114に対し、サンプリング信号 $S_1 \sim S_n$ にしたがって、画像信号VID1~VID6をそれぞれサンプリングして供給するものである。詳細には、サンプリング回路150は、各データ線114毎に設けられるスイッチ151からなり、各スイッチ151は、データ線114の一端と、画像信号VID1~VID6のいずれかが供給される信号線との間に介挿されるとともに、そのゲートにサンプリング信号が供給される構成となっている。

【0039】ここで、スイッチ151の具体的な構成については、例えば、図4(a)に示されるように、Nチャネル型TFTにより構成しても良いし、同図(b)に示されるように、Pチャネル型TFTにより構成しても良いし、また、同図(c)に示されるように、相補型TFTにより構成しても良い。なお、図2に示される構成にあっては、図4(a)に示されるNチャネル型TFTを用いた場合を想定しているため、Pチャネル型TFTを用いる場合には、サンプリング信号 $S_i$ をレベル反転さ

せた信号 $S_i$ INVを生成する必要があり、さらに、相補型TFTを用いる場合には、サンプリング信号 $S_i$ およびその反転信号 $S_i$ INVをそれぞれ供給する信号線も必要となる。また、サンプリング回路150を構成するスイッチ151としてのTFTは、いずれの型を用いるにしても、上述のように集積化や、製造コスト、素子の均一性などの観点から、画素電極118を制御するTFT116と共通の製造プロセスにより形成されることが望ましい。

【0040】<走査線駆動回路>次に、走査線駆動回路130について説明するが、走査線駆動回路130の構成は、出力信号の引き出し方向と、入力される信号とが異なる以外、基本的にデータ線駆動回路140の構成と同様である。すなわち、走査線駆動回路130は、データ線駆動回路150を90度左回転して配置したものであり、図1に示されるように、パルスDX-R(DX-L)および転送制御信号R(L)の替わりに、パルスDY-D(DY-U)および転送制御信号D(U)を入力するとともに、クロック信号CLXおよびその反転クロック信号CLXINVの替わりに、水平走査期間毎に、クロック信号CLYおよびその反転クロック信号CLYINVを入力する構成となっている。

【0041】ここで、垂直走査方向が下方向である場合には、垂直走査期間の最初にパルスDY-Dが供給されるとともに、転送制御信号Dがアクティブとなる一方、垂直走査方向が上方向である場合には、垂直走査期間の最初にパルスDY-Uが供給されるとともに、転送制御信号Uがアクティブとなる。また、クロック信号CLYと、その反転信号CLYINVと、パルスDY-U(またはDY-D)とは、図1におけるタイミングジェネレータ200によって、画像信号VID1~VID6と同期して供給されるものであり、さらに、これらの信号と、転送制御信号R(L)とは、いずれも、図示しないレベルシフトによって高論理振幅の信号に変換されたものである。

【0042】また、これらのクロック信号の周波数を低く設定することにより、相隣接した走査線に供給される走査信号が実質的に重ならないようにすることが十分に可能なため、走査線駆動回路130においてパルス幅を狭めるためのNAND回路と、これに続くインバータとによるシンプルな構成にしても問題はない。

【0043】<第1実施形態の動作>次に、上述した構成に係る液晶装置における動作について説明する。なお、以下においては説明の便宜上、垂直走査方向を下方向とし、水平走査方向を右(R)方向とする。

【0044】この場合、走査線駆動回路130には、垂直走査期間の最初にパルスDY-Dが供給され、クロック信号CLYおよびその反転クロック信号CLYINVによって順次シフトされて、各走査線112に出力される。これにより、複数の走査線112が1本ずつ線順次

に下方向に選択されることとなる。

【0045】また、1系統の画像信号Videoは、画像信号処理回路300によって、図5に示されるように、画像信号VID1～VID6に分配されるとともに、時間軸に対して6倍に伸長される。さらに、ある走査線が選択される期間の最初、すなわち水平走査期間の最初において、データ線駆動回路140には、図5に示されるように、転送開始パルスDX-Rが供給される。

【0046】ここで、通常の動作において、イネーブル信号ENB1、ENB2は、タイミングジェネレータ200から、図5に示されるようにHレベル（アクティブ）期間が互いにオーバーラップしないように供給されるので、図2におけるNAND回路1462の出力信号は、継続してHレベルとなり、Lレベルに遷移しない。このため、NAND回路1464の出力は、iが奇数であれば、信号Siおよびイネーブル信号ENB1のみに依存し、また、iが偶数であれば、信号Siおよびイネーブル信号ENB2のみに依存することになる。

【0047】このため、信号S1'～Sn'は、すなわち、第1段～第n段のラッチ回路1430によって、最初に供給される転送開始パルスDX-Rを、クロック信号CLXおよびその反転クロック信号CLXINVの半周期ずつ毎に順次シフトした信号S1'～Sn'は、イネーブル信号ENB1、ENB2のHレベル期間SMPaに制限されて、これが図5に示されるように、サンプリング信号S1～Snとして順次出力されることとなる。

【0048】ここで、サンプリング信号S1がHレベルとなると、この群に属する6本のデータ線114に、それぞれ画像信号VID1～VID6がサンプリングされて、これらの画像信号VID1～VID6が現時点で選択された走査線112と交差する6個の画素に、当該TFT116によってそれぞれ書き込まれることとなる。この後、サンプリング信号S2がHレベルとなると、今度は、次の6本のデータ線114にそれぞれ画像信号VID1～VID6がサンプリングされ、これらの画像信号VID1～VID6がその時点で選択された走査線112と交差する6個の画素に、当該TFT116によってそれぞれ書き込まれることとなる。

【0049】以下同様にして、サンプリング信号S3、S4、……、Snが順次Hレベルとなると、各サンプリング信号に属する6本のデータ線114にそれぞれ画像信号VID1～VID6がサンプリングされ、これらの画像信号VID1～VID6がその時点で選択された走査線112と交差する6個の画素にそれぞれ書き込まれることとなる。そして、この後、次の走査線112が選択され、再び、サンプリング信号S1～Snが順次出力されて、同様な書き込みが繰り返し実行されることとなる。

【0050】このような駆動方式では、データ線114を1本毎に駆動する方式と比較すると、各スイッチ15

1による画像信号のサンプリング時間が6倍となるので、各画素における充放電時間が十分に確保される。このため、高コントラスト化が図られることになる。さらに、データ線駆動回路140におけるラッチ回路1430の段数、および、クロック信号CLXおよびその反転クロック信号CLXINVの周波数が、それぞれ1/6に低減されるので、段数の低減化と併せて低消費電力化も図られることとなる。

【0051】ところで、イネーブル信号ENB1、ENB2は、Hレベル期間が互いにオーバーラップしないようにタイミングジェネレータ200によって生成されるが、何らかの理由により、例えば、信号線の容量分・抵抗分に起因する信号波形の鈍化・遅延や、レベルシフトの能力低下などの理由により、図6に示されるように、期間OVLにおいて互いにオーバーラップしてしまう場合がある。このような場合、単純に、イネーブル信号ENB1、ENB2によって信号S1'～Sn'のパルス幅を制限する構成であると、サンプリング信号S1～SnのHレベル期間もオーバーラップして、ある1群に属するデータ線114にサンプリングされるべき画像信号VID1～VID6が、その群に隣接する群に属するデータ線114にもサンプリングされる結果、いわゆるゴーストやクロストークなどが生じて表示品位の低下を招くことになる。このことは、1群を構成するデータ線114が多数であればある程、顕著となる。

【0052】これに対し、本実施形態では、イネーブル信号ENB1、ENB2のHレベルが期間OVLにおいて互いにオーバーラップすると、図2におけるNAND回路1462の出力信号がLレベルに遷移するため、これを第3入力端に入力するNAND回路1464の出力は、無条件にHレベルとなる。したがって、NAND回路1464の出力をインバータ1466により反転したサンプリング信号Siは、たとえ信号Si'がHレベルであっても、強制的に非アクティブ状態たるLレベルとされる。すなわち、サンプリング信号S1～Snは、例えば、隣接するサンプリング信号S1、S2は、図6に示されるように、同時にHレベルとはならない。このため、本実施形態によれば、イネーブル信号ENB1、ENB2が互いにオーバーラップしたとしても、サンプリング信号はオーバーラップしないので、上記ゴーストやクロストークなどが抑えられる結果、表示品位の低下が防止されることとなる。

【0053】さらに、設計時にイネーブル信号ENB1、ENB2のオーバーラップを意識せずに、サンプリング信号におけるHレベル期間の拡大を図ることが可能となる。すなわち、単純に、イネーブル信号ENB1、ENB2によって信号S1'～Sn'のパルス幅を制限する構成において、イネーブル信号ENB1、ENB2のHレベル期間を拡大すると、それだけサンプリング信号がオーバーラップする可能性が高くなるが、本実施形

態によれば、サンプリング信号のオーバーラップを防止しつつ、イネーブル信号ENB1、ENB2におけるHレベル期間を拡大することが可能である。このため、サンプリング信号がHレベルとなる期間を拡大することができるのである。実際、図6において、サンプリング信号がHレベルとなる期間SMPbは、図5における期間SMPaよりも拡大している。したがって、本実施形態によれば、サンプリング信号のHレベル期間が拡大するのに伴い、各スイッチ151によるサンプリング時間も拡大するので、各画素における充放電時間もさらに確保されることになる。このため、さらなる高コントラストも図られることになる。

【0054】なお、第1実施形態においては、水平走査方向を右(R)方向として説明したが、反対に、左(L)方向とする場合には、各ラッチ回路1430が、R方向転送時の構成を左右反転させたものとなる。このため、サンプリング信号が、 $S_n$ 、 $S(n-1)$ 、…、 $S_2$ 、 $S_1$ という順番で出力される点において相違するのみであるから、その動作について説明は省略する。垂直走査期間を上方向とする場合も同様である。

【0055】＜第2実施形態＞上述した第1実施形態にあつては、通常、ラッチ回路から出力される信号のパルス幅を、イネーブル信号ENB1またはENB2のHレベル期間に制限して出力するが、イネーブル信号ENB1、ENB2のHレベル期間がオーバーラップする場合には、ラッチ回路の出力信号を強制的にLレベルとする構成により、サンプリング信号のオーバーラップを未然に防止して、ゴースト等の発生を抑えるものであったが、本発明は、これ以外の構成でもゴーストの発生を抑えることが可能である。そこで、第1実施形態とは異なる第2実施形態について説明する。

【0056】図7は、この第2実施形態に係るデータ線駆動回路の構成を示すブロック図である。この図に示されるデータ線駆動回路140が、図2に示される第1実施形態と相違する点は、NAND回路1464の第3入力端に供給される信号が2入力型NAND回路1468の出力信号である点にある。ここで、NAND回路1468の一方の入力端には、 $i$ が奇数であればイネーブル信号ENB2が供給される一方、 $i$ が偶数であればイネーブル信号ENB1が供給されている。また、NAND回路1468の他方の入力端には、サンプリング信号 $S_i$ が帰還して供給されている。

【0057】さて、 $i$ が奇数であるサンプリング信号 $S_i$ にとって、イネーブル信号ENB2は、R方向転送であればサンプリング信号 $S(i+1)$ のHレベル期間を規定する信号であり、L方向転送であればサンプリング信号 $S(i-1)$ のHレベル期間を規定する信号である。すなわち、いずれの転送方向であっても、イネーブル信号ENB2は、当該サンプリング信号 $S_i$ の前段及び後段に相当するサンプリング信号においてHレベル期

間を規定する信号である。同様に、 $i$ が偶数であるサンプリング信号 $S_i$ にとって、イネーブル信号ENB1は、当該サンプリング信号 $S_i$ の前段及び後段に相当するサンプリング信号においてHレベル期間を規定する信号である。

【0058】このため、単純に、イネーブル信号ENB1、ENB2によって信号 $S_1' \sim S_n'$ のパルス幅を制限する従来構成にとって、 $i$ が奇数であるサンプリング信号 $S_i$ のHレベル期間とイネーブル信号ENB2のHレベル期間とがオーバーラップすること、および、 $i$ が偶数であるサンプリング信号 $S_i$ のHレベル期間とイネーブル信号ENB1のHレベル期間とがオーバーラップすることは、サンプリング信号 $S_i$ と、この前段あるいは後段に相当するサンプリング信号とのHレベル期間がオーバーラップすることを意味することにはほかならない。

【0059】これに対し、本実施形態において、 $i$ が奇数であるサンプリング信号 $S_i$ のHレベル期間とイネーブル信号ENB2のHレベル期間とがオーバーラップすると、 $i$ が奇数に相当するNAND回路1468の出力信号がLレベルに遷移するため、これを第3入力端に入力するNAND回路1464の出力は、無条件にHレベルとなる。同様に、 $i$ が偶数であるサンプリング信号 $S_i$ のHレベル期間とイネーブル信号ENB1のHレベル期間とがオーバーラップすると、 $i$ が偶数に相当するNAND回路1468の出力信号がLレベルに遷移するため、NAND回路1464の出力は無条件にHレベルとなる。

【0060】したがって、第2実施形態にあつても、第1実施形態と同様に、NAND回路1464の出力をインバータ1466により反転したサンプリング信号 $S_1 \sim S_n$ は、同時にHレベルとはならないので、ゴーストやクロストークなどによる表示品位の低下を防止することが可能となる。

【0061】＜第3実施形態＞上述した第1、第2実施形態にあつては、イネーブル信号がオーバーラップする場合や、あるサンプリング信号と、この後段に対応して供給されるイネーブル信号とがオーバーラップする場合には、当該サンプリング信号を強制的にLレベルとする構成であったが、イネーブル信号を監視しなくても、サンプリング信号のオーバーラップを未然に防ぐことは可能である。そこで、イネーブル信号を監視しないで、サンプリング信号のオーバーラップを防止する第3実施形態について説明する。

【0062】図8は、この第3実施形態に係るデータ線駆動回路の構成を示すブロック図である。この図に示されるように、本実施形態に係るデータ線駆動回路140には、 $i$ が奇数である信号 $S_i'$ のパルス幅をイネーブル信号ENB1にしたがって制限する一方、 $i$ が偶数である信号 $S_i'$ のパルス幅をイネーブル信号ENB2に

したがって制限するNAND回路1472に加え、3入力型NOR回路1474およびインバータ1476、1478が、各NAND回路1472に対応して備えられている。

【0063】ここで、NOR回路1474の第1入力端には、R方向転送の場合に前段となる（L方向転送の場合に後段となる）サンプリング信号 $S(i-1)$ が供給され、第2入力端には、NAND回路1472の出力信号が供給され、さらに、第3入力端には、R方向転送の場合に後段となる（L方向転送の場合に前段となる）サンプリング信号 $S(i+1)$ が供給されている。ただし、図において、最左端に位置するNOR回路1474の第1入力端、および、最右端に位置するNOR回路1474の第3入力端には、それぞれ、対応する信号が存在しないので、Lレベル信号が供給されている。

【0064】そして、各NOR回路1474による否定論理和信号は、インバータ1476、1478を順次介することにより正転されて、これが、サンプリング信号 $S1 \sim Sn$ として出力される構成となっている。

【0065】このような構成において、通常、各ラッチ回路1430の出力信号 $Si' \sim Sn'$ のパルス幅は、それぞれイネーブル信号ENB1、ENB2のHレベル期間に制限されるので、これによるサンプリング信号 $S1 \sim Sn$ のHレベル期間が同時にHレベルになることはない。

【0066】ただし、何らかの理由により、イネーブル信号ENB1、ENB2のHレベル期間がオーバーラップすると、各NAND回路1472の出力信号、特に、隣接するNAND回路1472の出力信号同士においても、オーバーラップが発生するが、第3実施形態によれば、自段のNAND回路1472による出力信号が、後段または前段のサンプリング信号とオーバーラップすると、NOR回路1474の出力は強制的にLレベルとなる。

【0067】したがって、第3実施形態にあっても、各インバータ1478による反転信号、すなわち、各NOR回路1474の出力を正転したサンプリング信号 $S1 \sim Sn$ は、第1および第2実施形態と同様に、同時にHレベルとはならないので、ゴーストやクロストークなどによる表示品位の低下を防止することが可能となる。

【0068】なお、第3実施形態にあつては、オーバーラップを検出する際に、第1および第2実施形態のように、イネーブル信号ENB1、ENB2を監視しないので、各NOR回路1474への入力信号を生成する構成についても、種々のものが適用可能である。例えば、図9(a)に示されるように、各ラッチ回路1430への入力信号および出力信号（すなわち、あるラッチ回路による出力信号と、その後段のラッチ回路による出力信号）の否定論理積を2入力型NAND回路1482により求めて、これを各NOR回路1474への入力信号と

しても良い。また、同図(b)に示されるように、各ラッチ回路1430の入力信号と、出力信号と、1系列のイネーブル信号ENB3との否定論理積を3入力型NAND回路1484により求めて、これを各NOR回路1474への入力信号としても良い。さらに、同図(c)に示されるように、各ラッチ回路1430の出力信号をゲートとして開閉するアナログスイッチ1486を設けるとともに、このアナログスイッチ1486を介したイネーブル信号ENB3を、各NOR回路1474の入力端に供給する構成としても良い。

【0069】ここで、イネーブル信号ENB3は、図10に示されるように、イネーブル信号ENB1、ENB2の2系統による機能を1系統に負わせた信号に相当し、通常では、ノッチ状のLレベル期間を有するものである。ただし、何らかの理由により、Lレベル期間が消滅すると、実質的にHレベル期間が継続することになるので、ラッチ回路1430から出力される信号のHレベル期間を狭めるという本来の機能が喪失するが、図8におけるNOR回路1474によって、サンプリング信号 $S1 \sim Sn$ のオーバーラップは未然に防止されることとなる。また、イネーブル信号が1系統で済むため、周辺回路の負荷低減できるばかりでなく、外部回路接続用端子及びイネーブル信号線を削減でき、液晶装置の微細化に有利である。

【0070】＜液晶パネルの構成例＞次に、上述した各実施形態に係るデータ線駆動回路140を有する液晶パネル100の全体構成について図11および図12を参照して説明する。ここで、図11は、液晶パネル100の構成を示す斜視図であり、図12は、図11におけるA-A'線の断面図である。

【0071】これらの図に示されるように、液晶パネル100は、画素電極118等が形成されたガラスや、半導体、石英などの素子基板101と、共通電極108等が形成されたガラスなどの透明な対向基板102とが、スペーサ103の混入されたシール材104によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に電気光学材料としての液晶105が封入された構造となっている。なお、シール材104は、対向基板102の基板周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材106によって封止されている。

【0072】ここで、素子基板101の対向面であつて、シール材104の外側一辺においては、上述したデータ線駆動回路140およびサンプリング回路150が形成されて、Y方向に延在するデータ線114を駆動する構成となっている。さらに、この一辺には複数の外部回路接続端子107が形成されて、タイミングジェネレータ200および画像信号処理回路300からの各種信号を入力する構成となっている。また、この一辺に隣接

する2辺には、2個の走査線駆動回路130が形成されて、X方向に延在する走査線112をそれぞれ両側から駆動する構成となっている。なお、走査線112に供給される走査信号の遅延が問題にならないのであれば、走査線駆動回路130を片側1個だけに形成する構成でも良い。ほかに、素子基板101において、データ線114への画像信号の書込負荷を低減するため、各データ線114を、画像信号に先行するタイミングにおいて所定電位にプリチャージするプリチャージ回路を形成しても良い。

【0073】一方、対向基板102の共通電極108は、素子基板101との貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材によって、素子基板101との電気的導通が図られている。ほかに、対向基板102には、液晶パネル100の用途に応じて、例えば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、クロムやニッケルなどの金属材料や、カーボンやチタンなどをフォトレジストに分散した樹脂ブラックなどの遮光膜が設けられる。なお、色光変調の用途の場合には、カラーフィルタは形成されずに遮光膜が対向基板102に設けられる。

【0074】くわえて、素子基板101および対向基板102の対向面には、それぞれ所定の方向にラビング処理された配向膜（図示省略）などが設けられる一方、その各背面側には配向方向に応じた偏光板（図示省略）がそれぞれ設けられる。ただし、液晶105として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光板などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0075】なお、駆動回路120等の周辺回路の一部または全部を、素子基板101に形成する替わりに、例えば、TAB（Tape Automated Bonding）技術を用いてフィルムに実装された駆動用ICチップを、素子基板101の所定位置に設けられる異方性導電フィルムを介して電気的および機械的に接続する構成としても良いし、駆動用ICチップ自体を、COG（Chip On Glass）技術を用いて、素子基板101の所定位置に異方性導電フィルムを介して電気的および機械的に接続する構成としても良い。

【0076】＜変換数と1群を構成するデータ線数との関係＞ところで、上述の説明では、サンプリング回路150は、1群とする6本のデータ線114に対して、6系統に変換された画像信号VID1～VID6を同時にサンプリングして供給するとともに、画像信号VID1～VID6の印加をデータ線群毎に順次行うように構成したが、変換数および同時に印加するデータ線数（すなわち、1群を構成するデータ線数）は、「6」に限られるものではない。例えば、サンプリング回路150にお

けるスイッチ151の応答速度が十分に高いのであれば、画像信号をバラレルに変換することなく1本の信号線にシリアル伝送して、各データ線114毎に順次サンプリングするように構成しても良い。また、変換数および同時に印加するデータ線数を「3」や、「12」、「24」等として、3本や、12本、24本等のデータ線に対して、3系統変換や、12系統変換、24系統変換等して並列供給させた画像信号を同時に供給する構成としても良い。なお、変換数および同時に印加するデータ線数としては、カラーの画像信号が3つの原色に係る信号からなることとの関係から、3の倍数であることが制御や回路などを簡易化する上で好ましい。

【0077】＜素子基板の構成など＞また、各実施形態においては、液晶パネル100の素子基板101をガラス等の透明な絶縁性基板により構成して、当該基板上にシリコン薄膜を形成するとともに、当該薄膜上にソース、ドレイン、チャネルが形成されたTFTによって、画素のスイッチング素子（TFT116）や駆動回路120の素子を構成するものとして説明したが、本発明はこれに限られるものではない。

【0078】例えば、素子基板101を半導体基板により構成して、当該半導体基板の表面にソース、ドレイン、チャネルが形成された絶縁ゲート型電界効果トランジスタによって、画素のスイッチング素子や駆動回路120の素子を構成しても良い。このように素子基板101を半導体基板により構成する場合には、透過型の電気光学装置として用いることができないため、画素電極118をアルミニウムなどで形成して、反射型として用いられることとなる。また、単に、素子基板101を透明基板として、画素電極118を反射型にしても良い。

【0079】さらに、上述した実施の形態にあつては、画素のスイッチング素子を、TFTで代表される3端子素子として説明したが、ダイオード等の2端子素子で構成しても良い。ただし、画素のスイッチング素子として2端子素子を用いる場合には、走査線112を一方の基板に形成し、データ線114を他方の基板に形成するとともに、2端子素子を、走査線112またはデータ線114のいずれか一方と、画素電極118との間に形成する必要がある。この場合、画素は、二端子素子が接続される画素電極118と、対向基板に形成される信号線（データ線114または走査線112の一方）と、これらの間に挟持される液晶とから構成されることとなる。

【0080】さらに、電気光学材料としては、液晶のほか、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う表示装置にも適用可能である。すなわち、本発明は、上述した液晶装置と類似の構成を有するすべての電気光学装置に適用可能である。

【0081】＜電子機器＞次に、上述した液晶装置を各種の電子機器に適用される場合について説明する。この

場合、電子機器は、図13に示されるように、主に、表示情報出力源1000、表示情報処理回路1002、電源回路1004、液晶パネル100、駆動回路120、および、タイミングジェネレータ200により構成される。尚、駆動回路120は液晶パネル100に内蔵される。尚、駆動回路120は液晶パネル100に内蔵されても良いことは言うまでもない。このうち、表示情報出力源1000は、ROM (Read Only Memory) や、RAM (Random Access Memory) などのメモリ、各種ディスクなどのストレージユニット、画像信号を同調出力する同調回路等を備え、タイミングジェネレータ200により生成される各種のクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に供給するものである。次に、表示情報処理回路1002は、上述したS/P変換回路302や、増幅・反転回路304のほか、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種回路を備え、入力した表示情報の処理を実行して、その画像信号をクロック信号CLKとともに、駆動回路120に供給するものである。また、電源回路1004は、各構成要素に所定の電源を供給するものである。なお、図13において、クロック信号CLKは、表示情報処理回路1002を介して供給されているが、図1に示されるように、タイミングジェネレータ200から駆動回路120に直接供給されて、画像処理回路300の上位構成である表示情報処理回路1002が、タイミングジェネレータ200によるクロック信号に同期して動作する構成としても良いのは言うまでもない。

【0082】次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説明する。

【0083】<その1：プロジェクタ>まず、この液晶パネルをライトバルブとして用いたプロジェクタについて説明する。図14は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、内部に配置された3枚のミラー1106および2枚のダイクロイックミラー1108によってRGBの3原色に分離されて、各原色に対応するライトバルブとしての液晶パネル100R、100Bおよび100Gにそれぞれ導かれる。ここで、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ1122、リレーレンズ1123および出射レンズ1124からなるリレーレンズ系1121を介して導かれる。

【0084】さて、液晶パネル100R、100Bおよび100Gの構成は、上述した液晶パネル100と同等であり、画像信号処理回路(図示省略)から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光

は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン1120にカラー画像が投射されることとなる。

【0085】ここで、各液晶パネル100R、100Bおよび100Gによる表示像について着目すると、液晶パネル100Gによる表示像は、液晶パネル100R、100Bによる表示像に対して左右反転していることが必要となる。このため、水平走査方向は、液晶パネル100Gと、液晶パネル100R、100Bとは互いに逆方向の関係となる。なお、液晶パネル100R、100Bおよび100Gには、ダイクロイックミラー1108によって、R、G、Bの各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

【0086】<その2：モバイル型コンピュータ>次に、この液晶パネルを、モバイル型のパーソナルコンピュータに適用した例について説明する。図15は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユニット1206とから構成されている。この液晶表示ユニット1206は、先に述べた液晶パネル100の背面にバックライトを付加することにより構成されている。

【0087】<その3：携帯電話>さらに、この液晶パネルを、携帯電話に適用した例について説明する。図16は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306とともに、液晶パネル100を備えるものである。この液晶パネル100にも、必要に応じてその背面にバックライトが設けられる。

【0088】なお、電子機器としては、図14～図16を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワープロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、各実施形態の液晶装置、さらには電気光学装置が適用可能なのは言うまでもない。

【0089】

【発明の効果】以上説明したように本発明によれば、データ線駆動回路から出力されるサンプリング信号のオーバーラップが未然に防止されるので、ゴーストやクロストークなどに起因する表示品位の低下を抑えることが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る駆動回路を適用

した液晶装置の全体構成を示すブロック図である。

【図2】 同液晶装置におけるデータ線駆動回路の構成を示すブロック図である。

【図3】 (a)、(b)は、それぞれ同データ線駆動回路のラッチ回路の構成例を示す回路図である。

【図4】 (a)～(c)は、それぞれ同液晶装置におけるサンプリング回路のスイッチ構成を示す回路図である。

【図5】 同データ線駆動回路の動作を説明するためのタイミングチャートである。

【図6】 同データ線駆動回路の動作を説明するためのタイミングチャートである。

【図7】 本発明の第2実施形態に係るデータ線駆動回路の構成を示すブロック図である。

【図8】 本発明の第3実施形態に係るデータ線駆動回路の構成を示すブロック図である。

【図9】 本発明に適用可能なラッチ回路周辺の構成を示すブロック図である。

【図10】 信号ENB3を用いた場合の動作を説明するためのタイミングチャートである。

【図11】 同液晶パネルの構造を示す斜視図である。

【図12】 同液晶パネルの構造を説明するための一部断面図である。

【図13】 同液晶装置が適用される電子機器の概略構成を示すブロック図である。

【図14】 同液晶装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

【図15】 同液晶装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図16】 同液晶装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【符号の説明】

100……液晶パネル

101……素子基板

102……対向基板

116……TFT

120……駆動回路

130……走査線駆動回路

140……データ線駆動回路

150……サンプリング回路

151……スイッチ

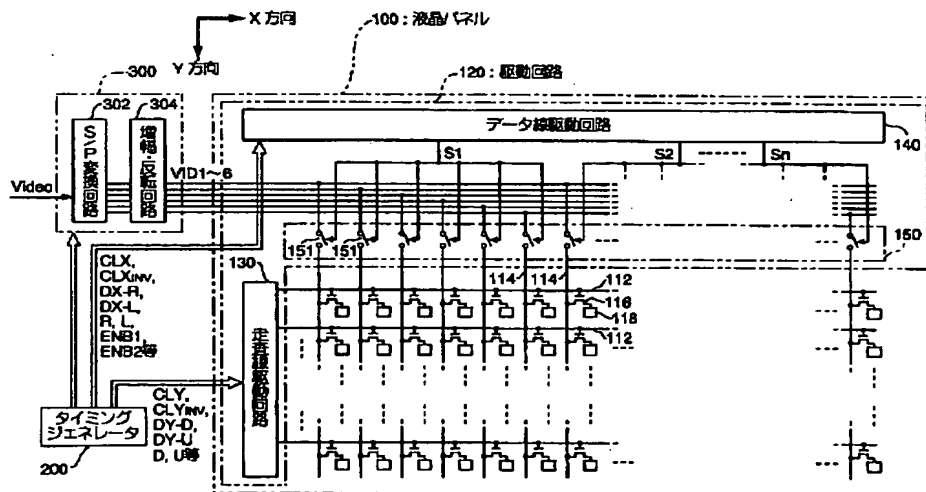
1430……ラッチ回路

1462、1468、1472、1482、1484……NAND回路

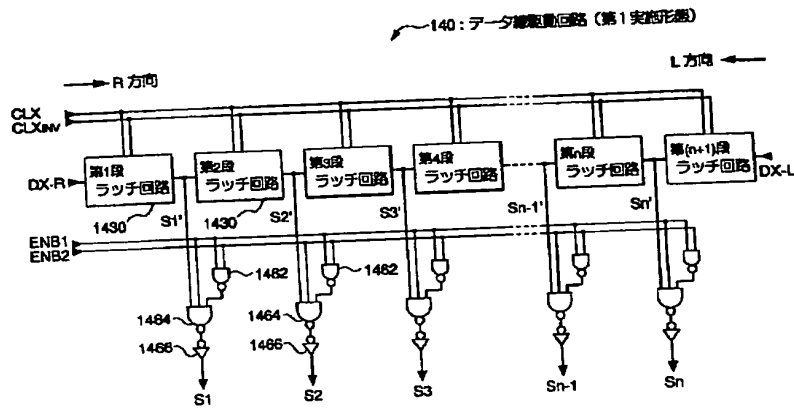
1474……NOR回路

1486……アナログスイッチ

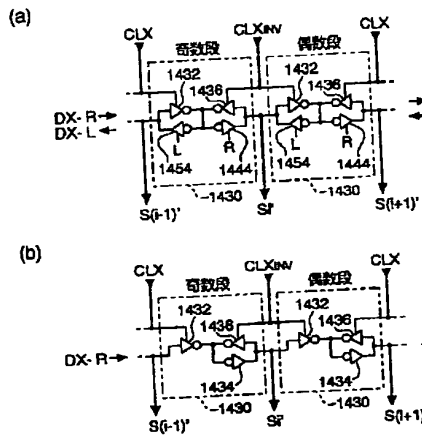
【図1】



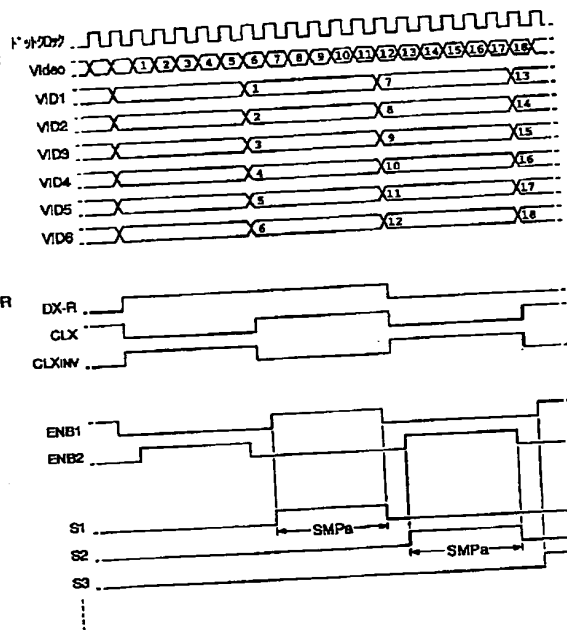
【図2】



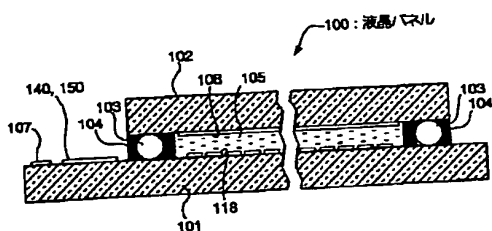
【図3】



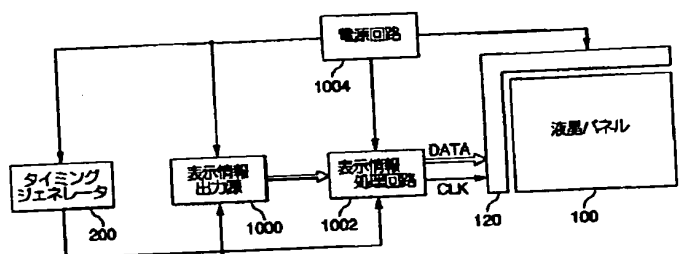
【図5】



【図12】

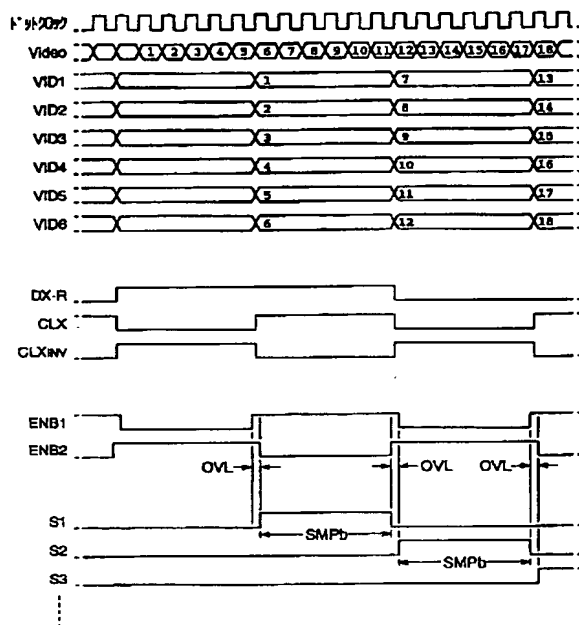


【図13】

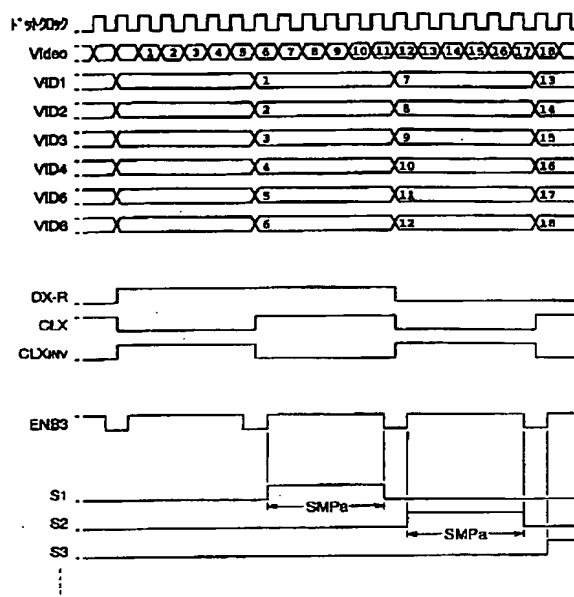




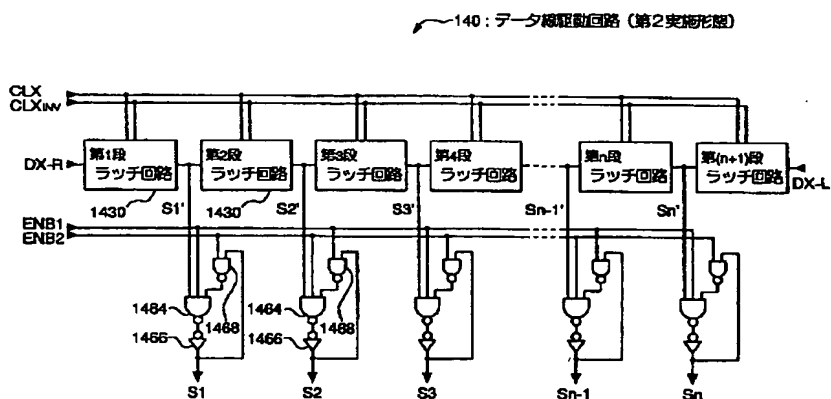
【図6】



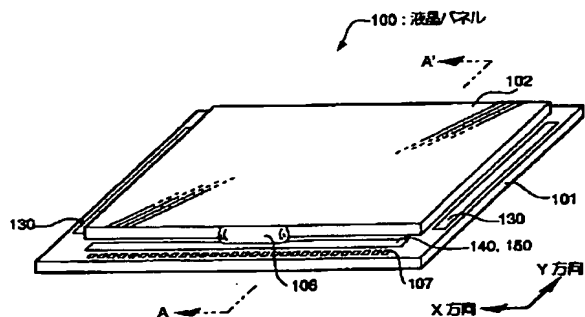
【☒10】



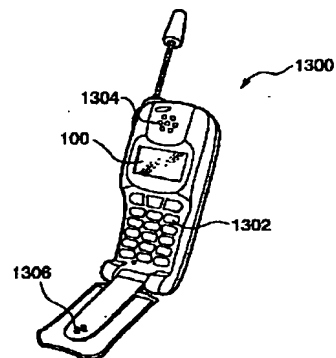
【图7】



【図 1 1】

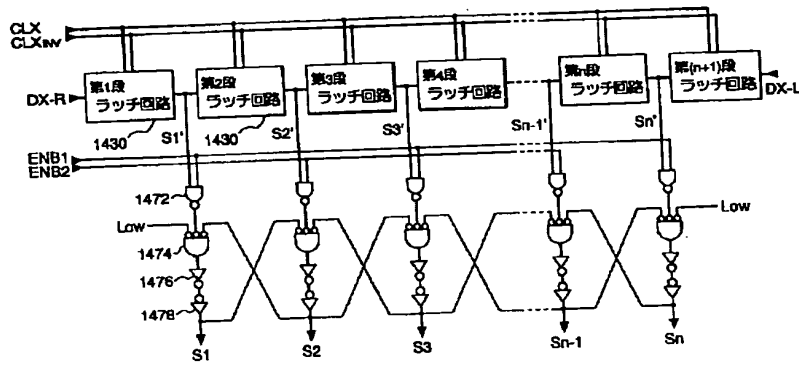


【図16】

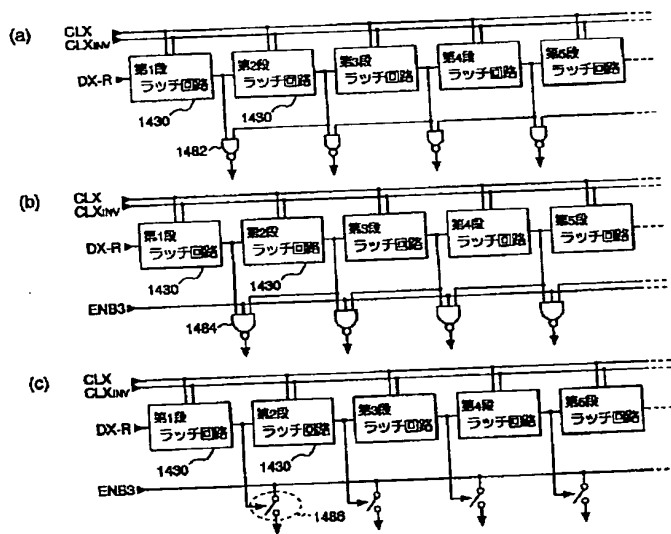


【図8】

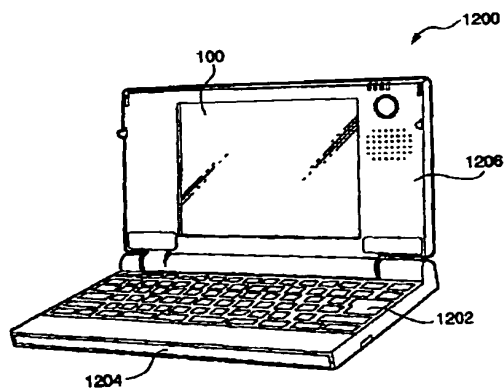
140: データ駆動回路 (第3実施形態)



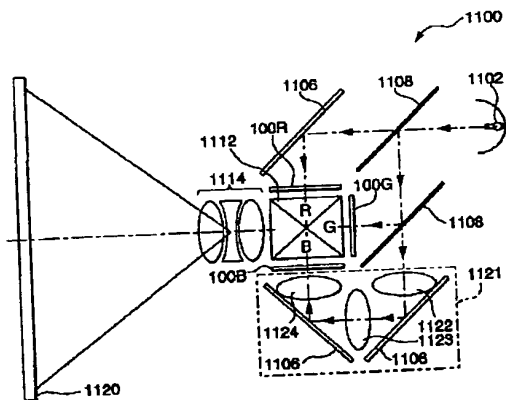
【図9】



【図15】



【図14】



フロントページの続き

Fターム(参考) 2H093 NA16 NC21 NC22 NC34 ND15  
ND34 NG02  
5C006 AA01 AA22 AC27 AF42 AF51  
BB16 BC03 BC12 BF02 BF03  
BF04 BF08 BF11 BF26 BF27  
BF46 EC02 EC11 FA22 FA24  
FA47 FA51 FA54  
5C080 AA10 BB05 DD05 DD06 EE28  
FF11 JJ02 JJ03 JJ04 JJ06

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**